

一种基于 FPGA 的仿效 ADC 的方法

王 龙, 王忆文, 李 辉

(电子科技大学 微电子与固体电子学院, 四川 成都 610054)

摘 要: 提出了一种基于 FPGA 的通用的仿效 ADC 的方法, 采用该方法在高精度 ADC 开发板尚未完成时, 就能联合后续的数字处理板进行系统级测试, 可以有效减少整个系统设计的开发及调试时间. 该方法由 VHDL 编写 RTL 级代码设计实现, 并以 LM98640(ADC 芯片型号)为例进行验证, 仿效了含 SPI 配置接口的 LM98640 的测试模式的输出及其时序. 基于某 FPGA 地面测试器项目开发板对仿效 LM98640 设计进行验证, 实验结果表明, 仿效 LM98640 的测试模式的输出及其时序与芯片手册完全一致. 该方法同样可应用于含有与 LM98640 类似的 ADC 芯片的系统设计中.

关键词: FPGA; 仿效 ADC; RTL 级; SPI 接口; 测试模式

中图分类号: TN79; TN47

文献标识码: A

文章编号: 1000-7180(2014)04-0152-04

A Method of ADC Emulation Based on FPGA

WANG Long, WANG Yi-wen, LI Hui

(School of Microelectronics and Solid State Electronics,
University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A universal method of ADC emulation based on FPGA is presented. By this method, testing of system design can be done before the development board of ADC of high precision is completed. It can reduce the developing and debugging time of system design effectively. The method is implemented by RTL level code of VHDL. It is validated on LM98640, which is a ADC chip containing SPI configuration interface. The outputs of test mode and their timing specifications of the chip, is emulated. The design is validated on FPGA development board of the project. Results indicate that outputs of test mode and their timing specifications of LM98640 are consistent with those in datasheet. The method can also apply to other system designs containing ADC which is similar with LM98640.

Key words: FPGA; ADC emulation; RTL level; SPI interface; Test mode

1 引言

ADC 作为模拟信号到数字信号的转换桥梁, 在图像和音频处理、测量等领域有着非常重要的作用, ADC 的设计和建模成为了近年来的研究热点. 现行的 ADC 建模方法多数是基于 MATLAB/Simulink 平台的行为级建模^[1-4], 此外, 还有使用 Verilog-A 进行行为级建模^[5], 以及采用运放宏模型代替 ADC 中晶体管级的放大电路进行建模^[6]. 这些建模方法的主要目的是提高仿真效率, 得出的参数可以有效

地指导实际电路的设计, 但这些方法存在和真实系统相连困难, 难以仿真实际时序等缺点.

由于高精度 ADC 开发板的设计难度大, 往往会滞后于数字处理或控制板的开发进度, 从而延长了整个系统设计的开发及联合调试时间. 针对这个问题及已有的 ADC 建模方法的缺点, 本文提出一种基于 FPGA 的仿效 ADC 的方法, 模仿 ADC 的实际工作情况, 并且能和真实系统直接相连, 为数字类处理或控制系统提供早期、离线的模拟环境, 为项目的开发以及测试提供方便. 本文基于某 FPGA 地面

测试器项目,以 LM98640 为例,对仿效方法进行介绍及验证。

2 仿效 ADC 的设计思路

在含有 ADC 芯片的系统设计中,ADC 的数字输出端直接与数字处理或控制电路相连,因此,ADC 的数字输出端的信号及其时序和数字处理或控制电路有直接关系,所以,产生 ADC 的数字输出端的信号及其时序,就可以完成对数字处理或者控制电路的前级 ADC 的仿效。

ADC 通常有串行配置接口,如 SPI,用于读写 ADC 的配置寄存器,配置寄存器用于调整 ADC 的工作状态。ADC 通常包含测试模式,测试模式根据配置寄存器的值产生特定的输出数据。ADC 数字输出端的信号包括模数转换后的数据(或者测试模式输出数据)、时钟及一些控制信号,这些信号满足特定的时序关系。根据 ADC 的以上功能特点,可以使用基于 FPGA 的数字电路设计方法进行分模块设计,分别完成通过串行配置接口读写配置寄存器,根据配置寄存器的值生成测试模式数据,模拟输出时序 3 个功能。仿效 ADC 总体设计能产生可控的测试模式输出数据和其他输出信号,并且这些输出信号符合 ADC 芯片输出时序,从而达到仿效目的。

3 某 FPGA 地面测试器项目简介

某 FPGA 地面测试器项目的目标系统如图 1 所示,6 片 LM98640 输出模数转换后的数字图像信号,数字处理 FPGA 将数字图像信号进行合成,并且经过 Camera link 协议转化后输出到图像采集卡,在计算机 CamExpert 工具得到合成图像。

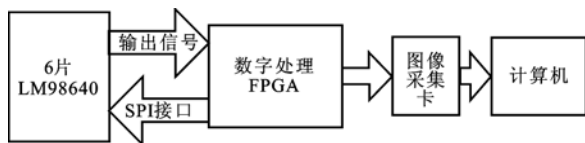


图1 目标系统

由于 LM98640 开发板设计难度大,滞后于数字处理板,利用仿效 ADC 方法,使用仿效 LM98640 的 FPGA 代替实际的 LM98640 电路,可以为后续电路提供早期的开发测试环境。仿效系统见图 2。

4 仿效 LM98640 的总体设计

LM98640 是 TI 公司的一款双通道、14 位精度、最高转换速率为 40MSPS、LVDS 串行输出的图像处理用 ADC 芯片^[7]。



图2 仿效系统

仿效 LM98640 总体设计框图如图 3 所示,分为 3 个模块:时钟模块(PLL_ADV)通过产生特定频率和相位的一组时钟来对 LM98640 的输出时序进行模拟;SPI 配置接口模块完成对 LM98640 配置寄存器的读写;LM98640 测试模式模块根据写入配置寄存器的值,产生相应的测试模式图像数据,将 2 个通道的图像数据转换成 4 路的 LVDS 输出(图 3 中 TXOUT0-TXOUT3),同时产生帧信号 TXFRM。差分输出通过使用 FPGA 中差分输出缓冲实现。

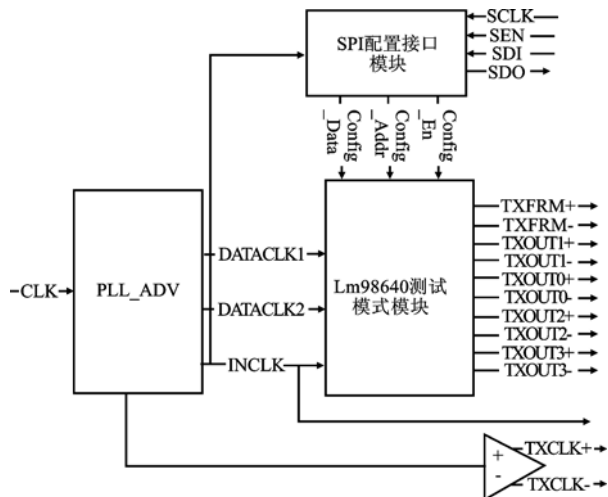


图3 仿效 LM98640 总体设计框图

5 LM98640 SPI 配置接口模块的设计

SPI 配置接口的时序参见芯片手册^[7]。

SPI 配置接口模块工作过程如下:对 SDI 输入进行串并转换,将结果 DATAIN 输出到读/写控制模块,读/写控制模块将数据从对应地址的 RAM 中写入或读出,同时将地址和数据送给仿效 LM98640 测试模式模块,然后将 RAM 读出的数据送到并串转换模块,用于产生串行读出数据 SDO。双端口 RAM 存储着 LM98640 的配置寄存器中的数据,地址与 LM98640 配置寄存器一一映射。SPI 配置接口的设计框图见图 4。

6 LM98640 测试模式模块的设计

6.1 LM98640 的测试模式

LM98640 根据配置寄存器的值,产生不同测试模式的输出数据。测试模式包含:固定数模式、水平

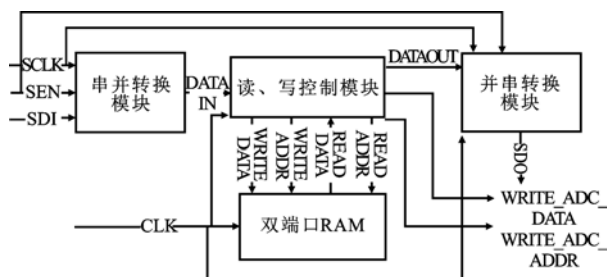


图4 SPI配置接口的设计框图

渐变模式、垂直渐变模式、条纹模式^[7]。

6.2 设计方法

LM98640 测试模式模块的设计框图如图 5 所示,主要由 3 个模块构成:

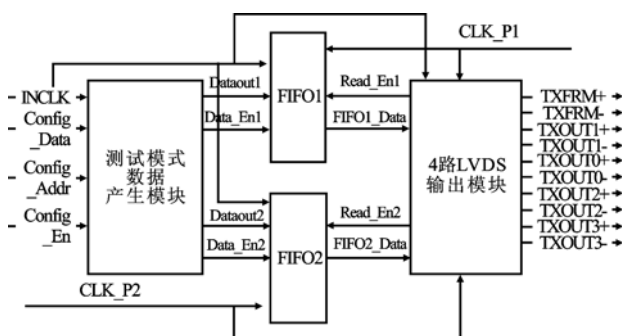


图5 LM98640 测试模式模块的设计框图

(1) 测试模式数据产生模块

该模块主要功能是根据写入配置寄存器的地址及对应数据的值(图5中信号Config_Addr和Config_Data),产生相应模式的2个通道图像数据,分别送到2个FIFO中。数据产生模块状态转移图见图6。

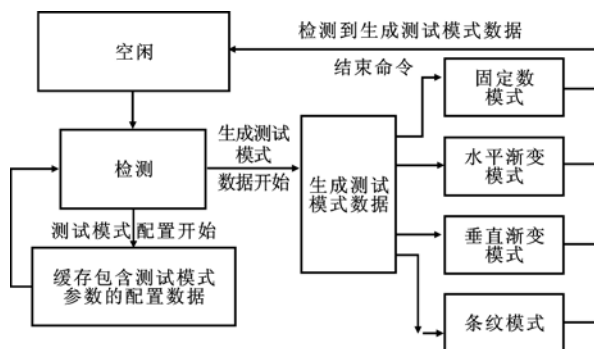


图6 数据产生模块状态转移图

设计采用主一分状态机控制的思想,主状态机用于检测、存储配置地址和数据,启动不同的分状态机。分状态机产生不同测试模式的输出数据。

主状态机:主状态机处于空闲状态时,对配置寄存器接收到的配置命令进行检测(将1组配置寄存器地址及数据称为1条命令),当检测到测试模式配置开始命令,进入缓存配置数据状态,这些数据包含

测试模式参数。此后,再次进入检测状态。当检测到生成测试模式数据开始命令时,进入生成测试模式数据状态,启动分状态机。

分状态机:4个分状态机分别控制4种模式的数据产生。在固定数模式中,可以产生0000~3FFF(十六进制)的固定数,具体数值依赖于配置寄存器的值。在水平渐变模式中,可以产生起始值,渐进宽度、渐进长度都可调的水平渐变的图像数据。在垂直渐变模式中,产生垂直渐变的图像数据。在条纹模式中,产生亮值,暗值,及条纹宽度都可调整的明暗条纹。检测到结束指令后,进入空闲状态。

(2)FIFO:缓存2个通道的图像数据。

(3)4路LVDS输出模块:将2个FIFO中的2个通道的图像数据读出,转换成4路LVDS串行输出,同时产生差分的TXFRM信号。

7 LM98640 输出时序的模拟

LM98640 输出时序图参见芯片手册。时序图中INCLK为LM98640的输入像元时钟。TXFRM为帧信号,标志1个像元数据传输的开始,同时标志着奇像元/偶像元。TXOUT0~TXOUT3为4路串行输出数据,TXCLK为接收数据一方使用的采样时钟。 t_{DOD} 为输出数据和像元时钟的延迟, t_{QSR} 为输出数据相对于TXCLK需要满足的建立时间。

LM98640 输出时序的模拟是借助于在ISE开发环境中调用锁相环(PLL)IP核产生一组不同频率及相位的时钟来实现的。模拟LM98640时序需要用到4个时钟,像元时钟INCLK,2个输出数据时钟DATACLK1和DATACLK2(分别用于2个通道的图像数据输出),以及TXCLK。INCLK频率不同时,对应不同的 t_{DOD} 和 t_{QSR} (具体值参照芯片手册),可以方便的通过配置PLL的M、D、O值以及P(相位)值产生一组满足 t_{DOD} 和 t_{QSR} 的值的时钟。PLL配置具体方法参见Xilinx Virtex-5 FPGA User Guide,在此不赘述。

8 验证结果及分析

8.1 LM98640 测试模式的输出及时序验证

将仿效LM98640总体设计在图2仿效系统中进行验证,使用ISE中Chipscope逻辑分析仪工具抓取LM98640测试模式的固定数模式输出波形。

图7中前两个像元为开始像元(暗像元),后面固定输出图像数据3FFF。INCLK、TXFRM、TXOUT、TXCLK的时序关系与芯片手册要求完全一

